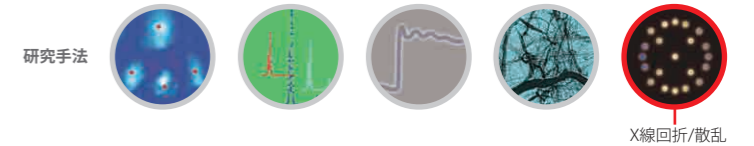


次世代CMOS半導体の製品開発への貢献

極薄膜積層構造の評価技術の開発



成果

- 従来に比べ5桁高感度の極薄膜測定技術を開発し、膜厚・平坦性・密度分布の精密評価を実現
- 次世代CMOS*半導体を高い信頼性で製作するプロセス条件を確立
- 日本での生産規模が約2兆円にもなるCMOS半導体の製品開発に大きく貢献

研究・開発機関：(株)富士通研究所

*CMOS(シーモス) 半導体素子の構造の一種で、Complementary(相補的) Metal(金属) Oxide(酸化物) Semiconductor(半導体)の略称が通称になっています。P型とN型両方のトランジスタを使っています。パソコンのCPUをはじめとして、現在使われている半導体のほとんどがCMOS方式です。

SPring-8の活用

Before

CMOS半導体の集積度を上げると、処理速度が向上します。そこで、ゲート絶縁膜を薄くして、動作の高速化をはかりたいのですが、漏れ電流が増加し、発熱や消費電力が大きくなるという問題がありました。

しかも、膜厚が1ナノメートル(原子5層分)と薄いため、界面の凹凸や緻密性が測定できず、膜厚を薄くしても性能を維持できるようなゲート絶縁膜の作製条件を見いだせませんでした。

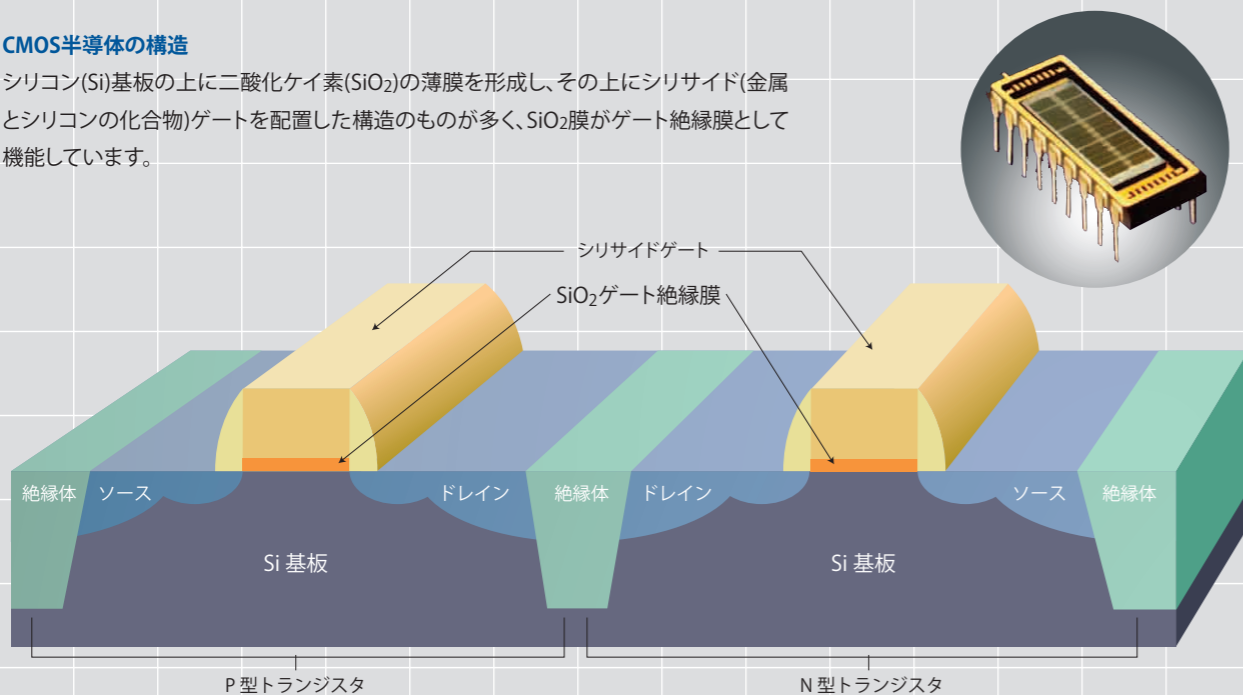
After

SPring-8の高輝度X線を極薄膜に照射すると、膜の表面で反射されたX線と、膜を透過して底面(基板との境界)で反射したX線が干渉します。その干渉パターンから膜の屈折率が求められ、それから膜密度が計算されます。さらに、入射角に応じて反射率強度が減衰することから、膜表面の凹凸を調べることができるようになりました。

こうした定量的な分析から、ゲート絶縁膜を構成する二酸化ケイ素の厚さや、添加窒素分布の不均一性により、漏れ電流が増加することを突き止め、均一な絶縁膜の作製条件を確立しました。

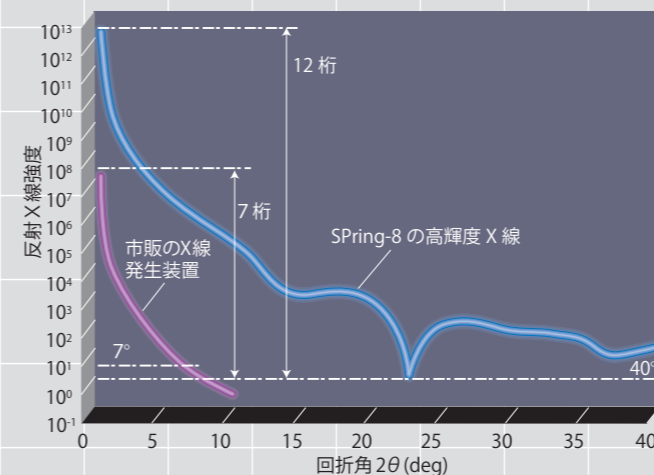
CMOS半導体の構造

シリコン(Si)基板の上に二酸化ケイ素(SiO₂)の薄膜を形成し、その上にシリサイド(金属とシリコンの化合物)ゲートを配置した構造のものが多く、SiO₂膜がゲート絶縁膜として機能しています。



ゲート絶縁膜の構造評価

薄膜からの反射X線の強度は、従来7桁の範囲までしか測れませんでした。SPring-8の高輝度X線を用いると12桁の広い範囲まで得られ、検出可能な反射X線の角度領域(2θ)は7°から40°に広がりました。その結果、1ナノメートルという極薄の膜質を評価することができるようになりました。



膜密度の違いによる干渉パターン(3層モデル)

